

CLIPPEDIMAGE= JP363133672A
PAT-NO: JP363133672A
DOCUMENT-IDENTIFIER: JP 63133672 A
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: June 6, 1988

INVENTOR-INFORMATION:
NAME
KURODA, YOSHIO

ASSIGNEE-INFORMATION:
NAME
NEC CORP

	COUNTRY
	N/A

APPL-NO: JP61282722
APPL-DATE: November 26, 1986

INT-CL (IPC): H01L029/78; H01L021/88 ; H01L029/46
US-CL-CURRENT: 257/413,257/757

ABSTRACT:

PURPOSE: To obtain a semiconductor device equipped with a low-electric-current polycide electrode which is not exfoliated from a substrate by installing a three-layered polycide electrode which is composed of an impurity-doped polysilicon film and tungsten silicide films where the component ratio of silicon to tungsten for one film is more than a prescribed value and that for the other film is lower than the prescribed value.

CONSTITUTION: A three-layered polycide electrode 7 installed is composed of an impurity-doped polysilicon film 4 and a first and a second tungsten silicide films 5, 6 which are laminated in succession on the polysilicon film and whose component ratio of silicon to tungsten is more than 2.6 and less than 2.6, respectively. For example, a field oxide film 2 and a gate oxide film 3 are formed on a semiconductor substrate 1; the polysilicon film 4 is then formed and, at the same time, an impurity is doped. Then, the first tungsten silicide film 5 whose component ratio of silicon to tungsten is 2.7 is

formed; in
succession, the second tungsten silicide film 6 whose component
ratio of
silicon to tungsten is 2.5 is formed. After that, the layers 6,
5, 4 are
removed selectively; a three- layered polycide gate electrode 7
is obtained.

COPYRIGHT: (C)1988,JPO&Japio

⑫ 公開特許公報(A)

昭63-133672

⑤ Int. Cl.⁴H 01 L 29/78
21/88
29/46

識別記号

3 0 1

庁内整理番号

G-8422-5F

Q-6708-5F

D-7638-5F

⑬ 公開 昭和63年(1988)6月6日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭61-282722

⑯ 出 願 昭61(1986)11月26日

⑰ 発 明 者 黒 田 美 雄 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

明細書

発明の名称

半導体装置

特許請求の範囲

不純物ドーパのポリシリコン膜と前記ポリシリコン膜上に順次積層されるシリコン/タングステン組成比がそれぞれ2.6以上および2.6未満の第1および第2のタングステン・シリサイド膜とからなる3層構造のポリサイド電極を備えることを特徴とする半導体装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に関し、特にポリサイド電極の構造に関する。

〔従来の技術〕

従来、半導体装置のゲート電極、取出電極および内部配線のコンタクト電極等の各電極材にはア

ルミニウムまたは活性化されたポリシリコンなどが用いられて来たが、半導体装置が微細化され高集積化されるに伴ない最近では活性化されたポリシリコン膜とタングステン・シリサイド膜からなる2層構造のポリサイド電極が用いられるようになった。

〔発明が解決しようとする問題点〕

半導体装置に用いられる電極に要求される特性の一つに、電極自身の電気抵抗の問題がある。一般にこの電気抵抗は半導体装置の動作速度の面から考えると出来るだけ低抵抗であることが望ましいが、前述した従来のタングステン・シリサイド・ポリサイド構造の電極では未だ十分に低抵抗化されたとは言い難い。この2層構造のポリサイド電極は、通常、シリコン/タングステン組成比が2.6乃至2.8程度のタングステン・シリサイド膜で形成される。従って、電極としての電気抵抗値を更に下げするためにはこのタングステン・シリサイド膜中のシリコンの割合を少なくすればよいことは明らかである。しかしながら、シリコン/タ

ングステン組成比が2.6未満のタングステン・シリサイド膜を用いると電極形成後の熱処理工程でタングステン・シリサイド膜が下地基板から剝離する場合があるので信頼性上好ましくからざる問題を生じる。

本発明の目的は、上記の状況に鑑み、下地基板との剝離現象を生じることなき低電気抵抗のポリサイド電極を備えた半導体装置を提供することである。

〔問題点を解決するための手段〕

本発明によれば、半導体装置は、不純物ドーパのポリシリコン膜と前記ポリシリコン膜上に順次積層されるシリコン／タングステン組成比がそれぞれ2.6以上および2.6未満の第1および第2のタングステン・シリサイド膜とからなる3層構造のポリサイド電極を備えて構成される。

すなわち、本発明によれば、活性化されたポリシリコン膜上にはシリコン／タングステン組成比の互いに異なる2種のタングステン・シリサイド膜を続けて形成した3層構造のタングステンシリ

サイド・ポリサイド構造の電極が使用される。

〔実施例〕

本発明はその製造方法を説明することによって良く理解し得ると考えられるので、以下製造工程図を参照して本発明を詳細に説明する。

第1図(a)～(e)は本発明をMOS電界効果トランジスタのゲート電極に実施した場合の製造工程図である。本実施例の工程図によれば、半導体基板1上には第1図(a)に示す如くフィールド酸化膜2およびゲート酸化膜3が通常の技術によりまず形成され、ついで第1図(b)のようにポリシリコン膜4が例えば膜厚1500Åで形成されると共に通常の熱拡散法による不純物ドーパと表面ガラス層のエッチング除去が行なわれる。ここで、第1図(c)に示すようにシリコン／タングステン組成比が例えば2.7のタングステン・シリサイド・ターゲットを装着したスパッター装置(図示しない)を用いて第1タングステン・シリサイド膜がポリシリコン膜4上に例えば膜厚1500Åで形成され、つづいてシリコン／

タングステン組成比が例えば2.5の第2のタングステン・シリサイド・ターゲットを装着したスパッター装置を(図示しない)を用いて第2のタングステン・シリサイド膜6が例えば膜厚1500Åで第1図(d)に示すように順次積層形成される。従って、第1および第2のタングステン・シリサイド膜5および6ならびに最下層のポリシリコン膜4をフォトリソ技術により選択除去すれば第1図(e)に示す如き3層構造のポリサイドゲート電極7を得ることができる。

本実施例によれば、ポリサイド・ゲート電極7は熱処理工程で剝離し難い膜質をもつシリコン／タングステン組成比2.6以上のタングステン・シリサイド膜が下層に、また電気抵抗値の小さな膜質の組成比2.6未満のタングステン・シリサイド膜が上層にして形成されているので、両者の利点を共有することができ熱処理に対する安定性と低電気抵抗特性とを兼備する。すなわち、実験によれば、ポリシリコン膜4と第1および第2のタングステン・シリサイド膜5および6の膜厚比をそ

れぞれ4:2:2に設定した場合には、それと同一形状寸法の従来構造電極に対しそれぞれ20～30%程度まで電気抵抗を軽減し得ることが立証される。

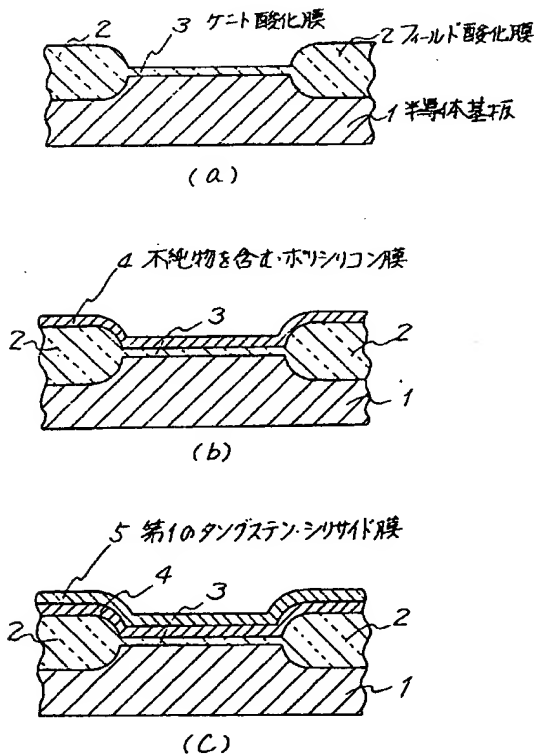
第2図(a)～(c)は本発明をMOS電界効果トランジスタのゲート配線接続およびソース、ドレイン領域からの取出電極に実施した場合の製造工程図を示すものである。本実施例によれば、前実施例同様半導体基板11上にフィールド酸化膜12、ゲート酸化膜13がまず形成され、更に、ゲート電極14、ソース、ドレイン拡散層15、16、層間バッシベーション膜17、コンタクト孔18がそれぞれ形成される。(第2図(a)参照)。ついで前実施例で詳述したように、不純物をドーパされたポリシリコン膜19、第1のタングステン・シリサイド膜20および第2のタングステン・シリサイド膜21がそれぞれ形成される。(第2図(b)参照)。第1および第2のタングステン・シリサイド膜20および21ならびにポリシリコン膜19をフォトリソ

グ技術により選択除去すれば第2図(c)に示すようにゲート電極14およびソース、ドレイン領域15、16上に配線用ポリサイド電極22および23、24をそれぞれ形成し得る。本実施例の配線用ポリサイド電極はタングステン・シリサイド膜が組成比を異にする2つの膜質の積層膜から形成されているので、熱処理に対する安定性と低電気抵抗特性とをそれぞれ兼備する。

(発明の効果)

以上詳細に説明したように、本発明によれば、半導体装置におけるタングステン・シリサイド・ポリサイド構造の電極は耐熱処理性と低抵抗特性のそれぞれ異なる性質をもつ2つのタングステン・シリサイド膜の積層膜を含んで3層構造に形成されているので、電極の電気抵抗を少くとも20～30%程度軽減し得ると共に下地基板との剝離現象を防止し得る効果があり、半導体装置の信頼性を著しく向上せしめることができる。

図面の簡単な説明

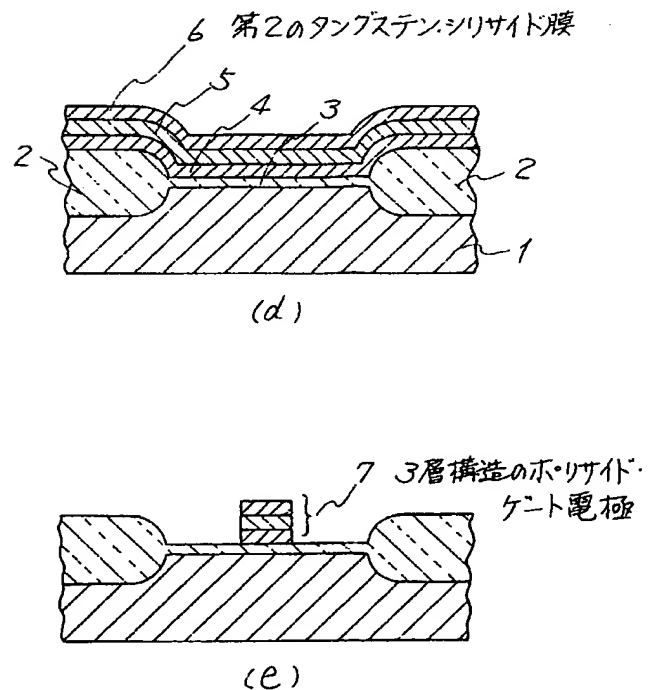


第1図

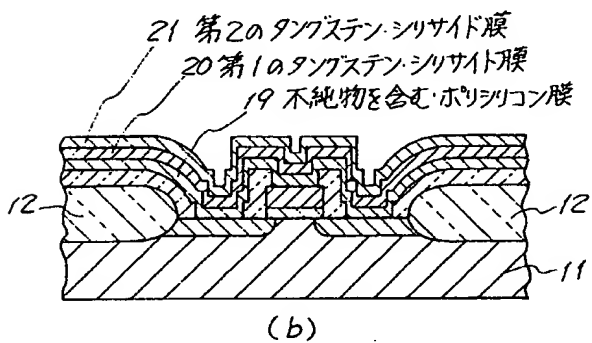
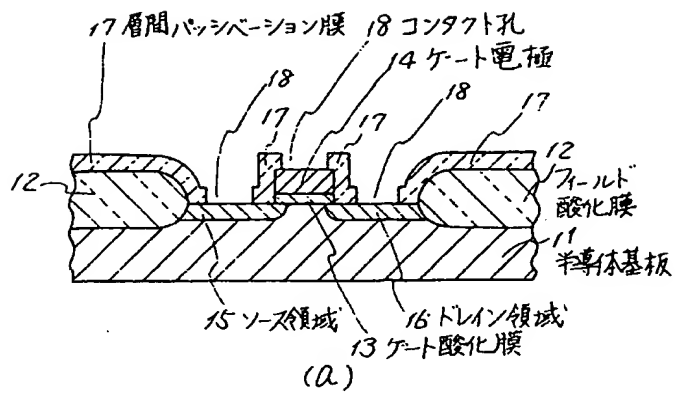
第1図(a)～(e)は本発明をMOS電界効果トランジスタのゲート電極に実施した場合の製造工程図、第2図(a)～(c)は本発明をMOS電界効果トランジスタのゲート配線接続およびソース、ドレイン領域からの取出電極に実施した場合の製造工程図である。

1、11…半導体基板、2、12…フィールド酸化膜、3、13…ゲート酸化膜、4、19…不純物を含むポリシリコン膜、5、20…第1のタングステン・シリサイド膜、6、21…第2のタングステン・シリサイド膜、7…(本発明にかかる)3層構造のポリサイド・ゲート電極、22、23、24…(本発明にかかる)3層構造の配線用ポリサイド電極。

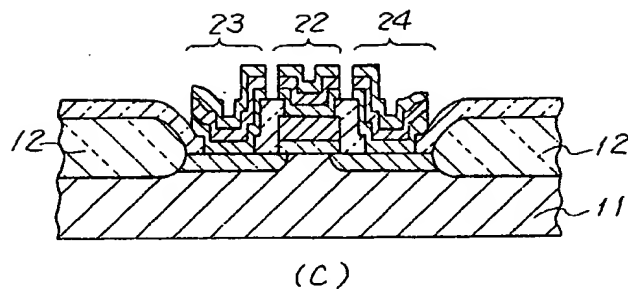
代理人 弁理士 内 原 晋 (弁理士)



第1図



第2図



第2図

22, 23, 24 : 3層構造の配線用ポリシリサイド電極